

*prob. important***MOS SEMICONDUCTOR DEVICE**

Patent Number: JP3009567
Publication date: 1991-01-17
Inventor(s): TATEYAMA TAKESHI
Applicant(s):: NEC CORP
Requested Patent: ☐ JP3009567
Application Number: JP19890146336 19890607
Priority Number(s):
IPC Classification: H01L29/784
EC Classification:
Equivalents:

Abstract

PURPOSE:To inhibit the extension of a depletion layer to a drain region and to prevent the deterioration of characteristics, such as a punch through, a threshold value and the like, due to a high electric field by a method wherein the interface between a silicon substrate and a gate insulating film is formed into such a structure as it is extended into a channel region.

CONSTITUTION:The central part of a channel region of a p-type silicon substrate 1 is made to oxidize by a local oxidation method to form a thick oxide film and when this oxide film is removed, a recessed part is formed in the channel part. Then, a thermal oxidation is performed to form a gate oxide film 2, a gate electrode 3 is formed thereon and an N-type impurity is ion-implanted or is made to perform a thermal diffusion using the electrode 3 as a mask to form n-type source and drain regions 4 and 5. In such a way, when the interface between the film 2 and the substrate 1 is formed into such a structure as it is extended into the channel region, the effect of inhibiting the extension of a depletion layer to the region 5 is generated and the generation of a punch through between a source and a drain is suppressed. In particular, in the case where the channel length is 2 μ m or below, the deterioration of characteristics, such as a punch through a threshold value and the like, due to a high electric field which is generated in the vicinity of the drain region can be prevented.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-9567

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)1月17日

H 01 L 29/784

8422-5F

H 01 L 29/78

3 0 1 V

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 MOS型半導体装置

⑯ 特 願 平1-146336

⑰ 出 願 平1(1989)6月7日

⑱ 発 明 者 立 山 剛 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

MOS型半導体装置

特許請求の範囲

一導電型半導体基板表面にゲート絶縁膜を介して設けられたゲート電極と、該ゲート電極の両側の前記半導体基板に設けられた逆導電型のソース領域及びドレイン領域を有するMOS型半導体装置において、前記ソース領域とドレイン領域との間に形成されるチャネル領域の中央部または中央部からソース領域及びドレイン領域のうちの一方の領域まで伸びる領域の前記半導体基板表面に凹部が形成され前記ゲート絶縁膜及びゲート電極の中央部は前記凹部上にありかつその両端は前記ソース領域及びドレイン領域の上部にあるように形成されていることを特徴とするMOS型半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明はMOS型半導体装置に関する。

(従来の技術)

第3図は従来のMOS型トランジスタの一例の断面図である。

P型シリコン基板1の上にゲート酸化膜2を設け、その上にゲート電極3を設ける。ゲート電極3をマスクにしてN型不純物を導入してN型ソース領域4、ドレイン領域5を形成する。

(発明が解決しようとする課題)

上述した従来のMOS型トランジスタにおいては、耐圧を上げるために、DDD(Double Diffusion Drain)構造やオフセットゲート構造にしていたが、限られた面積の中で高耐圧MOS型トランジスタを実現させようとする、特にチャネル長が短い場合ソース・ドレイン間においてパンチスルーを起し易くなり、MOSトランジスタの諸特性が劣化するという欠点がある。

(課題を解決するための手段)

本発明は、一導電型半導体基板表面にゲート絶縁膜を介して設けられたゲート電極と、該ゲート電極の両側の前記半導体基板に設けられた逆導電型のソース領域及びドレイン領域を有するMOS型半導体装置において、前記ソース領域とドレイン領域との間に形成されるチャネル領域の中央部または中央部からソース領域及びドレイン領域のうちの一方の領域まで伸びる領域の前記半導体基板表面に凹部が形成され前記ゲート絶縁膜及びゲート電極の中央部は前記凹部上にありかつその両端は前記ソース領域及びドレイン領域の上部にあるように形成されていることを特徴とする。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例の断面図である。

P型シリコン基板1のチャネル領域の中央部を局所酸化法で酸化させ厚い酸化膜を形成する。この酸化膜を除去すると、チャネル部に凹部が形成

局所酸化法を用いてチャネル領域の中央部からドレイン領域を覆う範囲まで厚い酸化膜を設け、この厚い酸化膜を除去することによりシリコン基板1の表面に段差を形成する。通常の熱拡散またはイオン注入法を用いてN型のソース領域4、ドレイン領域5を設ける。再び局所酸化法を用いて厚い酸化膜6を形成する。ゲート電極形成領域にゲート酸化膜を設け、その上にゲート電極3を設ける。

このような構造にすると、第1の実施例と同様の効果が得られる他に、厚い酸化膜6の形成によりゲート容量を小さく出来、動作速度を高くすることができるといふ効果が得られる。

〔発明の効果〕

以上説明したように、本発明はゲート電極形成部分の一部に段差を設け、シリコン基板とゲート絶縁膜との界面がチャネル領域に喰い込む構造にしたので、ドレイン領域への空乏層の伸びを抑制することができ、ドレイン・ソース間のパンチスルーが起こりにくくなり、高電界によるパンチス

される。次に、熱酸化してゲート酸化膜2を作り、その上にゲート電極3を形成する。ゲート電極3をマスクにしてN型不純物をイオン注入または熱拡散してN型ソース領域4、N型ドレイン領域5を形成する。

このように、ゲート酸化膜とシリコン基板との界面がチャネル領域に喰い込むような構造にすると、ドレイン領域への空乏層の伸びを抑える効果を生じ、ソース・ドレイン間のパンチスルーが起り難くなる。特に、チャネル長が $2\mu\text{m}$ 以下の短い場合にドレイン領域付近で生じる高電界によるパンチスルーやしきい値等の特性の劣化を防ぐのに効果を生じる。

上記実施例は、NチャネルMOSトランジスタを例にしたが、本発明はPチャネルMOSトランジスタにも同様に適用できる。また、本発明は、DDD構造やオフセットゲート構造のMOS型半導体装置にも同様に適用できる。

第2図は本発明の第2の実施例の断面図である。

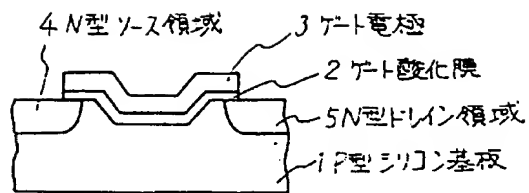
ルーやしきい値等の特性の劣化を防ぐことができるという効果を有する。

図面の簡単な説明

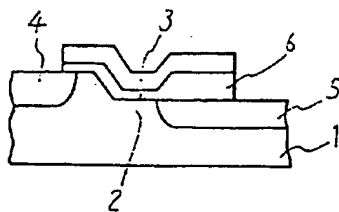
第1図は本発明の第1の実施例の断面図、第2図は本発明の第2の実施例の断面図、第3図は従来のMOSトランジスタの一例の断面図である。

1…P型シリコン基板、2…ゲート酸化膜、3…ゲート電極、4…N型ソース領域、5…N型ドレイン領域、6…酸化膜。

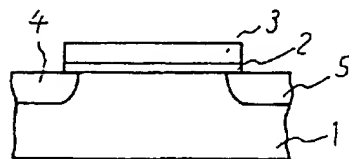
代理人 弁理士 内 原 晋



第 1 図



第 2 図



第 3 図